

TIP - CGD
Colour Graphics Display

Technische Dokumentation
Version 0.9 - April 1992

Copyright: Parsytec Computer GmbH 1992

Autoren: Klaus Bavendiek, Norbert vom Schemm

Die vorliegende Dokumentation bezieht sich auf Revision 1.2 des TIP-CGD.

0.	Inhaltsverzeichnis	
1.	Einführung	
1.1	Allgemeines	
1.2	Das TIP-System	
2.	Die Hardware Beschreibung	4
2.1	Das Funktionsprinzip des CGD	4
2.2	Die Transputer Sektion	6
2.2.1	Der Transputer-Knoten	6
2.2.2	Die Transputer Links	6
2.2.3	Die Event-Logik	7
2.3	Die CGD Video-Sektion	8
2.3.1	Ein Bildaufbau	8
2.3.2	Farbdarstellung mit dem CGD	8
2.3.2.1	Die Pseudo-Colour-Modi	9
2.3.2.2	Die True-Colour-Modi	10
2.3.3	Das CGD Video-RAM	11
2.3.3.1	Die VRAM Betriebsmodi	11
2.3.3.2	Der Memory Transfer Controller	14
2.3.3.3	Double Buffering	15
2.3.4	Der Video Dot Clock-Generator ICS 1394	16
2.3.5	Der Video Controller G364	17
2.3.5.1	Das Boot-Location-Register	18
2.3.5.2	Control-Register A	18
2.3.5.3	Control-Register B	23
2.3.5.4	Mask-Register	23
2.3.5.5	Colour-Palette-Register	24
2.3.5.6	Top-Of-Screen-Register	24
2.3.5.7	Datapath-Register	25
2.3.6	CGD Memory Layout	28
2.4	Die TIP-Bus Sektion	30
3.	Anschluß von Standard-Monitoren	31
3.1	EIZO 9070	31
4.	Fehleranalyse	34

A	Technischer Anhang	35
A.1	CGD Modulübersicht	35
A.2	Jumperbelegung	36
A.3	CGD Steckerbelegungen	37
A.3.1	96-polige DIN-Steckerleiste	37
A.3.2	Backplane	38
A.3.3	Video-Port	39
A.4	VRAM-Architektur des TIP-CGD/P	40

2. Hardware Beschreibung

Die Hardware des TIP-CGD stellt die visuelle Ausgabe-Schnittstelle des Parsytec TIP-Systems zwischen Außenwelt und Rechner-System dar. Um den Anschluß aller gängigen Monitore am CGD sicherzustellen, ist das CGD mit einem sehr leistungsfähigen Graphik-Controller, dem G364 von INMOS, ausgestattet. Sämtliche Parameter für die Video-Ausgabe können per Software eingestellt werden, eine Jumper-Sektion gibt es nur für den Transputer-Knoten.

Das CGD verfügt auf der Frontplatte über zwei Lemos-Stecker zum Anschluß eines Monitors und über 2 TIP-Bus Stecker. Video-Frequenzen bis 110 MHz werden unterstützt, die Synchronisations-Signale HSYNC und VSYNC können separat oder über das GRÜN-Signal übertragen werden. Für die allgemeine Datenverarbeitung sowie die Programmierung des G364 und die Initialisierung der Bus-Tabellen wird ein Transputer T805 eingesetzt.

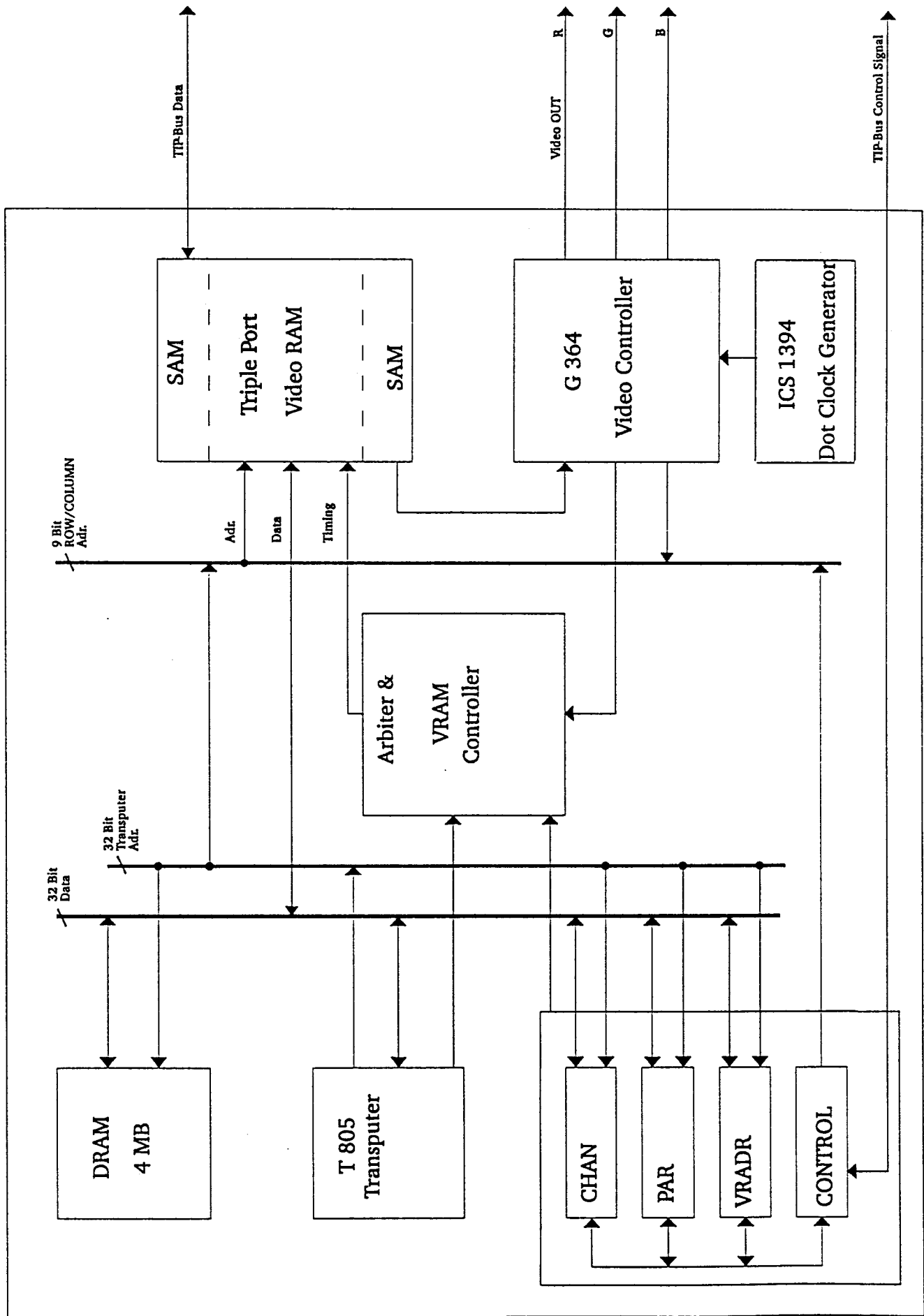
Auf den Videospeicher des TIP-CGD können der Transputer, der Video-Controller und die Bus-Logik zugreifen, da hier sogenanntes *Triple-Ported Video-RAM* (TP-VRAM) verwendet wird. Das CGD gibt es in zwei Versionen: Zum einen als Pseudo-Colour-Version CGD/P mit 2 MByte Videospeicher, zum anderen als True-Colour-Version CGD/T mit 4 MByte Videospeicher, sodaß auch bei 24 Bit-Farbtiefe sehr hohe Auflösungen möglich sind.

2.1 Funktionsprinzip des CGD

Das TIP-CGD Board ist in 3 Sektionen unterteilt: die Processing-Sektion mit dem T805, die TIP-Bus-Sektion und die Video-Sektion, die beim CGD die Ausgabe der Video-Daten organisiert. Ein Modul mit 2 MByte Triple-Ported Video-RAM (TP-VRAM) ist aufgesteckt.

Verbindend wirken 3 interne Busse: der 32 Bit Daten-Bus, der 32 Bit Transputer Adress-Bus und der 9 Bit breite TP-VRAM Adress-Bus (siehe Bild 2.1). Video-Daten können sowohl vom TIP-Bus, als auch vom lokalen Transputer in das TP-VRAM geschrieben werden. Die Kontrolle über den Zugriff zum TP-VRAM überwacht der zentrale Arbiter&VRAM-Controller. Die höchste Zugriffs-Priorität hat die TIP-Bus Logik, da die zeitliche Abfolge der Bus-Transfers nicht verzögert werden darf. Die zweite Priorität hat der Video-Controller; Ein ausreichend großer Zwischenspeicher für jeweils eine Bildzeile sorgt dafür, daß keine Konflikte mit der Bus-Logik auftreten. Der G364 wiederum hat eine höhere Priorität gegenüber dem Transputer, da das Bereitstellen einer neuen Bildzeile jeweils während der horizontalen Synchron-Impulse geschehen muß.

Die verwendete Video-Frequenz wird entweder im G364 aus einem 5 MHz Takt über eine interne PLL gewonnen oder von dem zusätzlichen Video Dot Clock Generator ICS 1394 generiert, der von außen programmiert werden kann.



2.2 Transputer Sektion

2.2.1 Der Transputer-Knoten

Die Transputer-Sektion besteht beim TIP-CGD aus einem T805 Transputer, welcher mit 30 MHz getaktet wird. Neben dem 4 MByte großen dynamischen Arbeitsspeicher (DRAM), sind beim CGD/P weitere 2 MByte, beim CGD/T weitere 4 MByte Videospeicher (VRAM) vorhanden. Beide RAM-Bereiche, sowie alle Controller auf dem Board sind vom Transputer aus direkt zugreifbar (memory mapped layout).

Zur Einstellung der Taktrate und der Zyklen für den Zugriff auf das DRAM befinden sich einige Jumper auf dem Board. Die Jumperbelegung ist im Anhang A.2 zu finden.

2.2.2 Transputer Links

Ein Transputer-Link besteht aus Datenleitungen für die Eingangs- und Ausgangsrichtung. Durch Verbinden von jeweils Datenausgang mit Dateneingang lassen sich beliebig große Netzwerke verschalten. In einer Parsytec UniLink Verbindung findet man neben den Datenleitungen auch Reset-Leitungen für beide Richtungen. Alle Signale werden differentiell mit RS422-Pegel übertragen, die geringere Störanfälligkeit gegenüber TTL-Pegel erlaubt Übertragungstrecken bis zu 10m Länge bei einer Datenrate von 20MBit/sec (30m bei 10MB/sec).

Die zusätzlich geführten Reset-Verbindungen erlauben es, einen Transputer jeweils über einen Link von einem Nachbar-Transputer zurückzusetzen. Dieser Mechanismus kann von jedem Parsytec-Transputermodul über das sogenannte Reset-Register (Adresse \$0000 00C0) ausgelöst werden. Die erforderliche Programmsequenz um den an Link 'link' angeschlossenen Transputer zurückzusetzen, sieht folgendermaßen aus:

```
#define RESET_REGISTER 0x000000C0

ResetLink (int link)                /* valid link numbers are 0...3 */
{
    *RESET_REGISTER = 0;
    *RESET_REGISTER = 1;
    *RESET_REGISTER = 2;
    *RESET_REGISTER = 3;
    *RESET_REGISTER = 1<<link;
    ProcWait(2);                    /* wait for 128 us */
    *RESET_REGISTER = 0;
}
```

*) Diese Funktion ist i.A. implementierungsabhängig, die angegebene Form gilt für das Inmos Toolset.

Auf dem TIP-CGD werden alle vier Links des T805 Transputers als UniLinks auf die VG-Leiste geführt. Über ein Parsytec Backplane-Element ist jeder einzelne Link auf einem separaten Berg-Stecker verfügbar und läßt sich beliebig mit anderen Transputermodulen zu Netzwerken verbinden. Im Anhang ist die genaue Belegung der VG-Leiste sowie die korrespondierende Belegung der Berg-Stecker bei Benutzung der Backplane aufgeführt.

2.2.3

Event-Logik

Jeder Transputer besitzt einen Event-Eingang, der es erlaubt, ähnlich einem Interrupt, auf externe Ereignisse unmittelbar zu reagieren. Auf dem CGD gibt es insgesamt 7 unterschiedliche Event-Quellen verteilt auf verschiedene Sektionen des Boards. Zu diesen Eventquellen gehören Signale aus der Video-Sektion und aus der Bus-Sektion, die Real-Time Synchron-Kanäle, sowie die Error-Leitung des Transputers.

Die Verwaltung der möglichen Events, daß heißt u.a. die gezielte Auswahl von Ereignissen, wird über die sogenannte Event-Logik realisiert. Teil dieser Event-Logik ist das Event-Register, über das festgelegt wird, welche Ereignisse ein Event auslösen dürfen, bzw. mit dessen Hilfe ermittelt werden kann, welches Ereignis nun tatsächlich eingetreten ist. Jeder Event-Quelle ist ein Bit im Event-Register zugeordnet.

Mit einem Schreibzugriff auf das Event-Register kann eine beliebige Bit-Maske gesetzt werden. Dabei bedeutet eine logische 1 in der Maske, daß das zugeordnete Ereignis ein Event auslösen darf. Im Falle eines Events kann durch Lesen des Event-Registers die Quelle festgestellt werden, welche zur Auslösung geführt hat.

Die folgende Tabelle zeigt die Zuordnung der Event-Quellen zu den Bits im Event-Register:

Bit	Signal
0	Transputer Error Leitung
1	Real-Time Synchron Channel (RTSC) 0
2	Real-Time Synchron Channel (RTSC) 2
3	HSYNC-Ausgang vom G364
4	VSYNC-Ausgang vom G364
5	Frame (bei Strahl-Rücklauf) vom G364
12	Data Valid Signal vom TIP-Bus

Das Event-Register sowie der Event-Kanal des Transputers befinden sich auf folgenden Wortadressen:

Event-Adresslage		'C' Definition	
\$000001C0	r/w	CGD-Event Register	EVENT_REGISTER
\$80000020		Event-Channel	EVENT_* ^{*)}

*) Dieses Symbol ist i.A. implementierungabhängig, die angegebene Definition gilt in dieser Form für das Inmos Toolset.

2.3 Die CGD Video Sektion

Die Video Sektion besteht im wesentlichen aus dem Video-Controller Baustein G364 von Inmos und dem Triple-Ported Video-RAM mit dem Memory-Transfer-Controller. Der G364 generiert das gesamte Video-Timing und wandelt die Video-Daten aus dem VRAM in RGB-Analog-Signale für den Monitor um.

2.3.1 Ein Bildaufbau

Ein auf den Monitor zu übertragendes Bild ist im Video-Speicher als Pixel-Muster abgelegt. Das Bild wird in einzelne Zeilen zerlegt, die nacheinander im VRAM abgelegt sind. Am Ende jeder Zeile wird ein HSYNC, Horizontal-Synchronisations-Signal, und am Ende eines ganzen Bildes ein VSYNC, Vertikal-Synchronisations-Signal, an den Monitor übertragen, damit der Monitor das Bild aufbauen kann. Zwischen zwei HSYNC Signalen liegt die eigentliche Bildinformation für je eine Zeile als analoge Spannung vor. Dazu muß die digitale Zeileninformation aus dem VRAM über Digital-Analog-Konverter (DAC) gewandelt werden. Das Bild 2.2 zeigt ein beispielhaftes Video-Timing.

Um das Bildflimmern bei geringer Bildfrequenz zu reduzieren und Übertragungs-Bandbreite zu sparen, wurde für einige Anwendungen, z.B. für das Fernsehen, das Zwischenzeilen-Verfahren eingeführt. Bei dieser Technik werden zuerst alle ungeradzahligen Zeilen auf den Monitor gebracht (1. Halbbild) und danach alle geradzahligen Zeilen (2. Halbbild). Das CGD unterstützt neben dem normalen Modus (*non-interlaced mode*) auch das Zwischenzeilen-Verfahren (*interlaced mode*). Damit ist der Anschluß von Fernseh-Geräten und Video-Recordern möglich.

Farbdarstellung wird erreicht indem das Analogsignal von drei unabhängigen DAC's für die Grundfarben Rot, Grün und Blau (RGB), auf den Monitor geführt werden. Die Synchronisations-Signale können wahlweise auf das Grün-Signal aufmoduliert werden. Die Eingangswerte der DAC's werden im True-Colour-Mode (siehe folgendes Kapitel) jeweils von drei benachbarten Bytes direkt aus dem VRAM geliefert, im Pseudo-Colour-Mode stammen diese drei Werte aus einer Tabelle (Colour-Lookup-Table, CLUT), welche über ein Byte adressiert wird.

2.3.2 Farbdarstellung mit dem CGD

Für farbige Darstellungen wird je nach Auflösung der Farbinformation zwischen *Pseudo-Colour-Mode* (typisch 8 Bit/Pixel), *Pseudo-True-Colour-Mode* (15 oder 16 Bit/Pixel) und *True-Colour-Mode* (24 Bit/Pixel) unterschieden. Daneben unterstützt der G364 auch noch niedrigere Pseudo-Colour Farbauflösungen mit 1, 2 oder 4 Bit/Pixel. Die einem Bildpunkt zugrunde liegende Farb-Informationsmenge wird über das Kontroll-Register A des G364 (siehe Kapitel 2.3.5.2) festgelegt. Die folgende Tabelle gibt eine Übersicht über die verschiedenen Betriebsmodi:

Modus	Bit/Pixel			
	gesamt	Rot	Grün	Blau
Pseudo-Colour	1	Abhängig von CLUT		
Pseudo-Colour	2	Abhängig von CLUT		
Pseudo-Colour	4	Abhängig von CLUT		
Pseudo-Colour	8	Abhängig von CLUT		
Pseudo-True-Colour	15	5	5	5
Pseudo-True-Colour	16	6	6	4
True-Colour (nur CGD/T)	24	8	8	8

2.3.2.1 Die Pseudo-Colour-Modi

In den vier Pseudo-Colour-Modi (1,2,4 oder 8 Bit/Pixel) liefert der Inhalt des Bildspeichers nicht direkt die Farbinformation, stattdessen werden die VRAM-Daten zur Adressierung einer Farbtabelle (Colour-LookUp-Table, CLUT) herangezogen. Die Farbtabelle befindet sich im G364 und enthält 256 Einträge, wobei jeder Eintrag 24 Bit breit ist. Jeweils 8 Bit dienen zur Ansteuerung der 3 Digital-Analog-Wandler für die Farben Rot, Grün und Blau, sodaß aus insgesamt $16777216 (=2^{24})$ verschiedene Farbeinstellungen gewählt werden kann. Die Programmierung der Farbtabelle ist in Kapitel 2.3.5.5 beschrieben.

Die Adressierung Colour-LookUp-Tabelle ist abhängig vom gewählten Pseudo-Colour-Modus. Nur im 8 Bit/Pixel-Modus wird die volle Tabelle genutzt. Die folgende Darstellung zeigt welche CLUT-Einträge in den verschiedenen Modi benutzt werden:

Bit/Pixel	Relevante CLUT Adressen
1	0 - 1
2	0 - 3
4	0 - 15
8	0 - 255

2.3.2.2 Die True-Colour-Modi

In den drei True-Colour-Modi (15,16 und 24 Bit/Pixel) werden die Daten aus dem Bildspeicher direkt den DAC's zugeführt. Da die DAC's eine Dynamik von 8 Bit (256 Abstufungen) verarbeiten können, wird im 24 Bit/Pixel-Modus die volle Farbaufösung erreicht, da jeweils ein Byte einen Wandler ansteuert. Die 24 Bit Farbinformation ist jeweils auf einer ganzen Wortadresse abgelegt, das 4. Byte wird nicht benutzt (siehe Darstellung weiter unten).

Die beiden Pseudo-True-Colour-Modi arbeiten mit etwas verringerter Farbauflösung. Der 15 Bit/Pixel-Modus unterscheidet für jede Grundfarbe 32 (2^5) Abstufungen, der 16 Bit/Pixel-Modus nutzt für jedes Pixel 2 Bytes vollständig aus, die Auflösung der 3 Farbkanäle ist jedoch hier unterschiedlich: Für die Farben Rot und Grün werden jeweils 64 Werte unterschieden, für Blau nur 16, da das menschliche Auge in diesem Spektralbereich die geringste Dynamik aufweist.

Die Zuordnung der einzelnen Bits zu den Farbkanälen (B=Blau, G=Grün, R=Rot) in den 3 True-Colour-Modi soll durch folgende Darstellung verdeutlicht werden:

15 Bit/Pixel:

Pixel n																						
Byte 2n							Byte 2n + 1															
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	-							
B	B	B	B	B	B	B	B	G	G	G	G	G	G	G	G	R	R	R	R	R	R	X

'X' bedeutet: Dieses Bit wird nicht benutzt.

16 Bit/Pixel:

Pixel n																						
Byte 2n							Byte 2n + 1															
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7							
B	B	B	B	B	B	B	B	G	G	G	G	G	G	G	G	R	R	R	R	R	R	R

24 Bit/Pixel (Nur bei CGD/T):

Pixel n																															
Byte 4n							Byte 4n + 1							Byte 4n + 2							Byte 4n + 3										
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	-	-	-	-	-	-	-	-
B	B	B	B	B	B	B	B	G	G	G	G	G	G	G	G	R	R	R	R	R	R	R	R	nicht benutzt							

2.3.3 Das CGD Video-RAM

Auf den CGD/P stehen 2 MByte Triple-Ported-VRAM für die Graphik zur Verfügung. *Triple-Ported* heißt, daß 3 Teilnehmer quasi gleichzeitig mit diesem Speicher arbeiten können. Beim CGD sind das der Transputer, der TIP-Bus und der Video-Controller. Aus Anwendersicht ist dieser Bildspeicher in Form einer zweidimensionalen Matrix organisiert mit 1024 Zeilen und 2048 Spalten. Im Anhang A.4 findet sich eine detaillierte Beschreibung des internen Aufbau des VRAM für das CGD/P.

2.3.3.1 Die VRAM Betriebsmodi

Für das Video-RAM vom CGD/P sind 5 verschiedene Betriebsmodi vorgesehen. Es wird unterschieden zwischen Zeilen-orientierten Ablegen, linearer Adressierung und dem Frame-Buffer Mode (Bild 2.4). Allen Modi des CGD/P ist der wortweise Zugriff auf das TP-VRAM seitens des Transputers oder des TIP-Busses gemeinsam.

Im **Zeilen-orientierten Modus** (Modus 1, Bild 2.4.a) wird für jede Bildzeile eine Zeile des TP-VRAM reserviert. Die maximale Zeilenlänge beträgt 2048 im 8 Bit/Pixel-Modus. Der Vorteil des zeilenorientierten Modus liegt in der leicht nachvollziehbaren Adressierung des VRAMs.

Beim Zeilen-orientierten Modus kann auch mit dem Zwischenzeilen-Verfahren (Modus 2) gearbeitet werden. Das erste Halbbild wird im oberen Teil des VRAM's abgelegt, das zweite folgt unmittelbar nach der letzten Zeile des ersten Halbbildes (Bild 2.4.b).

Im **Linearen-Adressierungs-Modus** (Modus 3) wird das VRAM von oben konsekutiv gefüllt, ohne nach jeder Bildzeile einen VRAM-Zeilenumbruch zu machen (Bild 2.4.c). In diesem Modus ist die Zeilenlänge und Spalten-Anzahl nur durch die VRAM-Größe beschränkt, es kann eine beliebige Bildschirmauflösung gewählt werden. Der Video-Speicher wird bei diesem Verfahren optimal ausgenutzt.

Das Zwischenzeilen-Verfahren (Modus 4) ist auch bei diesem Modus möglich (Bild 2.4.d). Wie beim Zeilen-orientierten Modus wird zuerst das erste und daran anschließend das zweite Halbbild im VRAM abgelegt. Das zweite Halbbild startet grundsätzlich am Anfang einer *geraden* VRAM-Zeile, sodaß maximal 4095 Byte zwischen den Halbbildern nicht genutzt werden.

Der fünfte Betriebs-Modus, der **Frame-Modus** berücksichtigt das Zwischenzeilen-Verfahren, wie es bei TV-Monitoren eingesetzt wird. Die zeilenorientierte Organisation der Bildzeilen im VRAM ist identisch mit Modus 1 (siehe Bild 2.4.a). Der Video-Controller liest aber zunächst das erste Halbbild aus allen geraden Zeilenadressen, dann das zweite Halbbild aus den ungeraden Zeilenadressen aus.

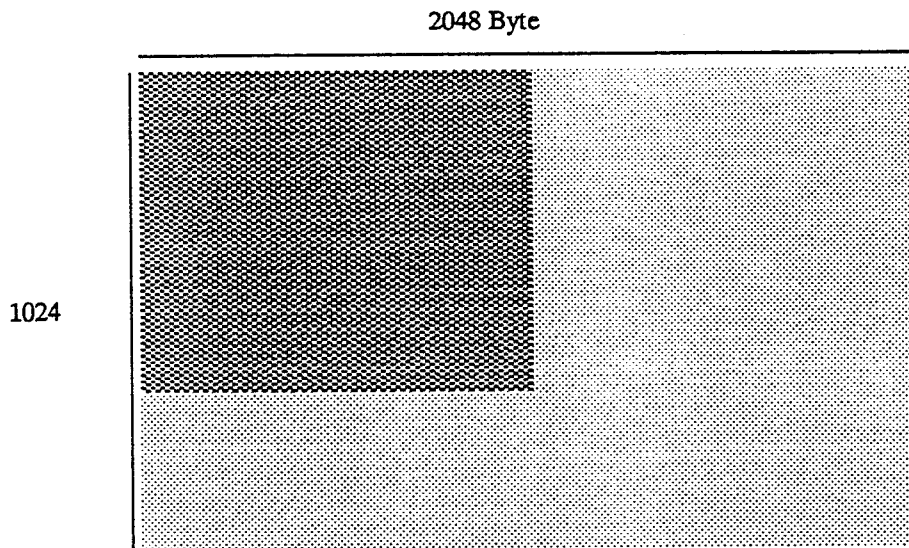


Bild 2.4.a: Zeilenorientierte Adressierung, Non-Interlaced

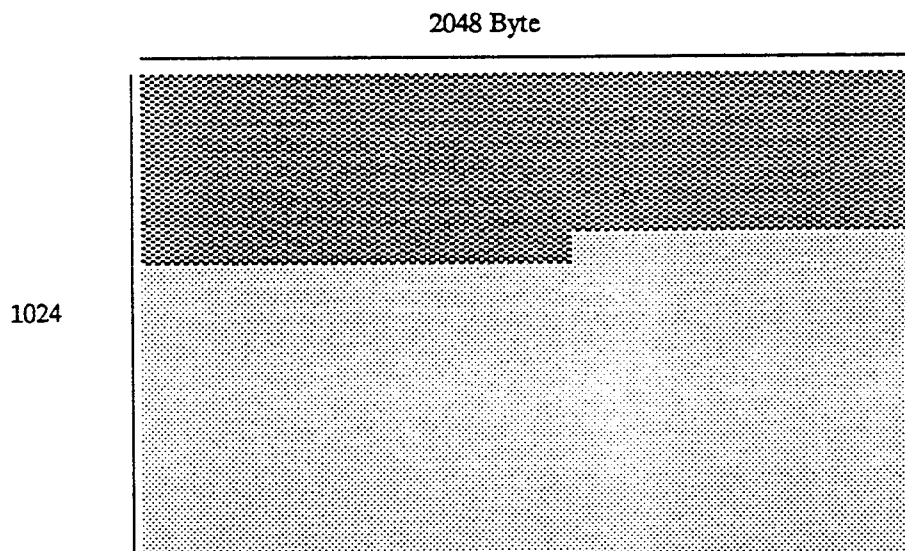


Bild 2.4.c: Modus 3: Lineare Adressierung, Non-Interlaced

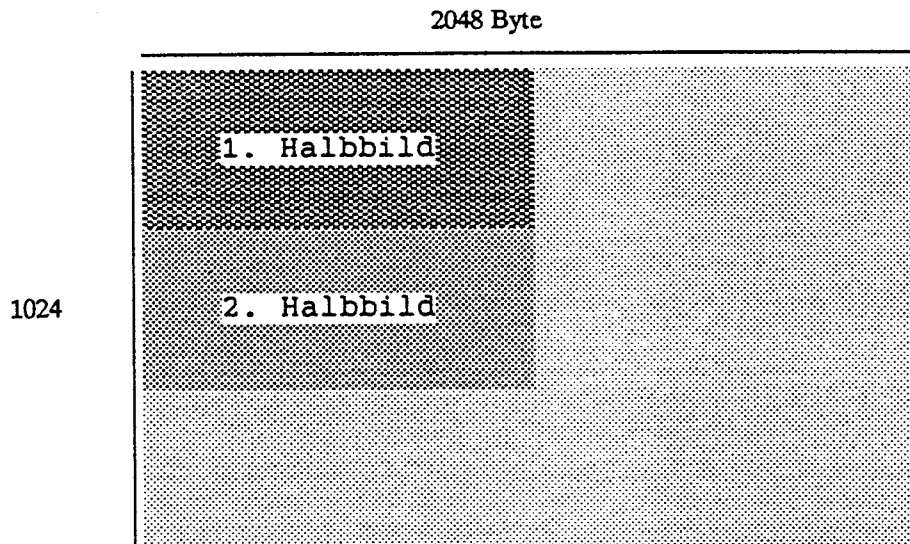


Bild 2.4.b: Modus 3: Zeilenorientierte Adressierung, Interlaced

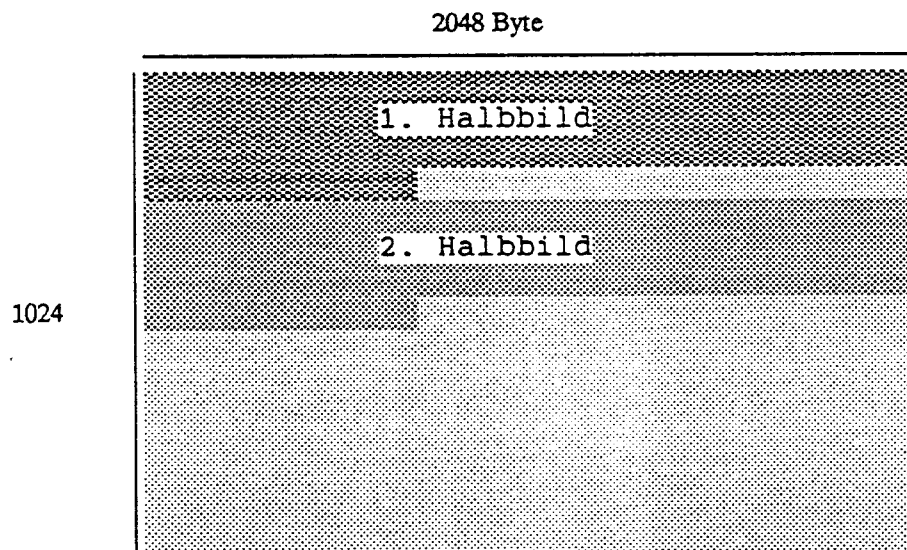


Bild 2.4.d: Modus 4: Lineare Adressierung, Interlaced

2.3.3.2 Der Memory Transfer Controller

Der Memory-Transfer-Controller (auch VRAM-Controller genannt) ist dem Video-Controller zugeordnet. Mit ihm werden die verschiedenen Betriebsmodi und Zugriffsbereiche auf das VRAM eingestellt. Im Memory-Bereich liegen seine Adressen zwischen \$0000 0400 und \$0000 0514. Die Bedeutung der verschiedenen Register und Kontroll-Bits wird im folgenden erklärt.

Adresse	'C'-Definition	Größe	Funktion
\$00000400	START_ROW	10 Bit	Row-Address
\$00000440	START_COLUMN	9 Bit	Column-Address
\$000004C0	INIT_TC	1 Bit	Init Transfer Controller
\$00000500	INTLAC_MODE	1 Bit	0 = Non-Interlaced Mode 1 = Interlaced Mode
\$00000504	ADDR_MODE	1 Bit	0 = Row-Orientated Mode 1 = Linear Adressing Mode
\$00000508	FRAME_MODE	1 Bit	0 = Normal Mode 1 = Frame Mode
\$0000050C	COLOUR_MODE	1 Bit	0 = True Colour (4MB VRAM) 1 = Pseudo Colour (2MB VRAM)
\$00000510	CLOCK_SELECT	1 Bit	0 = ICS1394 Clock 1 = 5 MHz PLL-Clock
\$00000514	OVERLAY_MODE	1 Bit	0 = No Overlay 1 = Overlay Enabled

Die Register START_ROW und START_COLUMN dienen zur Auswahl des anzuzeigenden Speicherbereiches. START_ROW bestimmt die Zeile (0-1023), START_COLUMN die Spalte (0-511), ab der das Auslesen gestartet werden soll. Es ist zu beachten, daß die Spaltenadresse einen Wort-Offset darstellt.

Jeder Zugriff auf die Adresse INIT_TC (\$0000 04C0) initialisiert den Transfer-Controller. Eine Neu-Initialisierung muß nach jeder Änderung des Betriebs-Modus erfolgen (siehe Beispiel unten).

Die Adresse COLOUR_MODE (\$0000 050C) wird zur Unterscheidung zwischen Pseudo-Colour und True-Colour benötigt. Bei LSB auf 1 wird der Pseudo-Colour Modus eingestellt (beim CGD/P muß dieses Bit gesetzt werden). Wird das Bit auf 0 gesetzt, geht ein CGD/T davon aus, daß 4 MByte VRAM vorhanden sind und True-Colour-Mode gewünscht wird.

Mit dem Register CLOCK_SELECT (Adresse \$0000 0510) kann zwischen interner G364- und externer ICS1394-Clock gewählt werden (siehe Kapitel 2.3.4 und 2.3.5 sowie Beispiel unten).

Über das unterste Bit auf Adresse \$0000 0514 (OVERLAY_MODE) kann ein optionales 4-Bit Overlay eingeschaltet werden. Dafür wird eine zusätzliche 1 MByte große Memory-Bank benötigt. Da das vorliegende CGD diese Funktion noch nicht unterstützt, ist dieses Bit auf Null zu setzen.

Mit den Kontrollbits `INTLAC_MODE`, `ADDRMODE` und `FRAME_MODE` werden die im vorangegangenen Kapitel beschriebenen Betriebsmodi eingestellt:

Register \$0000. 0500 0504 0508			Betriebs-Modus
0	0	0	Row Orientated, Non Interlaced
0	0	1	Row Orientated, Interlaced
0	1	0	Linear Adressing, Non Interlaced
0	1	1	Linear Adressing, Interlaced
1	X	X	Frame Mode (Row Orientated, Interlaced)

Beispiel: Es soll der Betriebsmodus *Row Orientated, Non Interlaced* eingestellt werden. Die ersten 128 Pixel jeder VRAM-Zeile und die ersten 16 Zeilen sollen übersprungen werden. Es soll die G364-PLL-Pixel-Clock genutzt werden.

```
#define START_COLUMN      (int *) 0x00000400
#define START_ROW        (int *) 0x00000440
#define INIT_TC          (int *) 0x000004C0
#define INTLAC_MODE      (int *) 0x00000500
#define ADDR_MODE        (int *) 0x00000504
#define FRAME_MODE       (int *) 0x00000508
#define COLOUR_MODE      (int *) 0x0000050C
#define CLOCK_SELECT     (int *) 0x00000510
#define OVERLAY_MODE     (int *) 0x00000514
(
:
*INTLAC_MODE = 0; /* Non-Interfaced Modus */
*ADDR_MODE = 0; /* Row-Orientated, no Linear Addressing */
*FRAME_MODE = 0; /* No Frame Modus */
*COLOUR_MODE = 0; /* Pseudo-Colour-Modus */
*CLOCK_SELECT = 0; /* G364 PLL-Clock, no ICS 1394-Clock */
*OVERLAY_MODE = 0; /* No Overlay */
*START_COLUMN = 32; /* Start ab Spalte Nr. 128 */
*START_ROW = 16; /* Start ab Zeile Nr. 16 */
*INIT_TC = 0; /* Transfer-Controller initialisieren */
:
)
```

2.3.3.3 Double Buffering

Double Buffering ist ein Verfahren, das mit zwei separaten, identisch großen Video-Speichersegmenten arbeitet. Während in dem einen Segment A Datenmanipulationen durchgeführt werden, wird das andere Segment B vom Video-Controller ausgelesen und auf den Monitor gebracht. Ist die Datenmanipulation beendet - das Bild ist fertig - werden die beiden Segmente A und B umgeschaltet. Der Controller liest jetzt Segment A aus, das neue Bild wird im Segment B aufgebaut. Der Vorteil dieser Technik liegt in störungsfreier Darstellung sich ändernder Bildinformation. Ohne Double Buffering führt der Bildaufbau - sofern er langsamer als die Bildwiederhol-Frequenz des Monitors ist - zwangsläufig zu Störungen, da Teile des Bildes schon neu sind, andere aber noch vom vorangegangenen Bild stammen.

Double Buffering stellt also sicher, daß immer nur vollständig aufgebaute Bilder zur Darstellung gelangen. Bei diesem Verfahren wird naturgemäß doppelt soviel Video-Speicher benötigt.

Die lineare Adressierung ist für das Double-Buffering prädestiniert, da hier der Video-Speicher optimal genutzt werden kann. Die beiden Video-Segmente A und B werden aufeinanderfolgend im VRAM abgelegt. Mit 2 MByte VRAM können maximal 2 Bilder á 1024*1024 bei 8 Bit/Pixel verarbeitet werden.

2.3.4 Der Pixel Clock Generator ICS 1394

Der ICS 1394 ist ein Video Dot Clock Generator, der aus der Grundfrequenz 14.31818 MHz verschiedene Video Pixel Clocks für die Anwendung erzeugen kann. In einem Chip-internen ROM sind 32 Video-Frequenz-Verhältnisse in Bezug auf die Grundfrequenz vorbelegt, die über folgende Adresse selektiert werden können.

ICS 1394 Adress-Lage		'C' Definition
\$00000480 /w	I1394 ROM-Tabelle	I1394

Die Auswahl einer bestimmten Frequenz geschieht durch einen Schreibvorgang auf die angegebene Adresse, dabei sind nur die unteren 5 Bit relevant. Es ist nicht möglich das I1394 Register auszulesen. Die einstellbaren Video-Frequenzen (in MHz) sind der folgenden Tabelle zu entnehmen:

ICS 1394-020 ROM-Adress-Belegung							
0	25.175	8	25.175	16	25.175	24	65.000
1	28.322	9	28.322	17	44.900	25	72.000
2	40.000	10	80.000	18	28.322	26	74.000
3	32.500	11	32.500	19	38.000	27	76.000
4	50.350	12	50.350	20	40.000	28	78.000
5	65.000	13	65.000	21	46.000	29	80.000
6	38.000	14	76.000	22	48.000	30	100.000
7	44.900	15	44.900	23	60.000	31	110.000

Der Video-Controller G364 kann mit den in der Tabelle aufgeführten festen Frequenzen oder einem internen PLL-Takt betrieben werden, diese Betriebsarten lassen sich über das Kontrollbit `CLOCK_SELECT` (Adresse \$0000 0510) umschalten. Soll der interne Oszillator verwendet werden ist das Register `BOOT_LOCATION` des G364 geeignet zu programmieren (siehe Kapitel 2.3.5.1).

2.3.5 Der Video-Controller G364

Der INMOS G364 Colour Video Controller stellt alle Funktionen zur Verfügung, um ein Raster-Monitor in Echtzeit zu steuern. Der G364 besteht im wesentlichen aus einem programmierbaren Video-Timer (VTG), einer 256 Worte großen Colour Look-Up Table (CLUT), drei 8 Bit Video-DAC's, und einem PLL-Oszillator zur Erzeugung der Pixelclock aus einem 5 MHz Basistakt. Dieses Kapitel wendet sich an die "Spezialisten", für die normale Anwendung stellt die TIP-Software Parameter-Dateien zum Betrieb des CGD's an verschiedenen Monitoren zur Verfügung bzw. unterstützt eine menügeführte Erstellung entsprechender Parametersätze. Die Startadresse des Video-Controllers, die Reset-Adresse über den er zurückgesetzt werden kann, sowie die Startadresse des Bildspeichers gibt folgende Tabelle wieder:

Adresse	'C'-Definition	Funktion
\$0100 0000	G364_START	Basis-Adresse des G364
\$0000 0300	G364_RESET_ADDRESS	Reset-Adresse für G364
\$9000 0000	VRAM_START_ADDRESS	Start-Adresse des VRAMs

Die Register des G364 sowie die CLUT befinden sich im Speicherbereich \$0100 0000 - \$0100 0800 auf jeweils ganzen Wortadressen. Nachfolgend werden die wichtigsten Register des G364 mit ihrer Funktion im Einzelnen beschrieben.

Adresse	Wort-Offset	Name	Funktion
\$0100 0000		G364_START	Basis-Adresse des G364
\$0100 0000	\$000	BOOT_LOCATION	Startup location; PLL- Multiplikator; externe Clock
\$0100 0084	\$021	HALF_SYNC	Timing-Parameter
\$0100 0088	\$022	BACK_PORCH	Timing-Parameter
\$0100 008C	\$023	DISPLAY	Timing-Parameter
\$0100 0090	\$024	SHORT_DISPLAY	Timing-Parameter
\$0100 0094	\$025	BROAD_PULSE	Timing-Parameter
\$0100 0098	\$026	V_SYNC	Timing-Parameter
\$0100 009C	\$027	V_PRE_EQUALISE	Timing-Parameter
\$0100 00A0	\$028	V_POST_EQUALISE	Timing-Parameter
\$0100 00A4	\$029	V_BLANK	Timing-Parameter
\$0100 00A8	\$02A	V_DISPLAY	Timing-Parameter
\$0100 00AC	\$02B	LINE_TIME	Timing-Parameter
\$0100 00B0	\$02C	LINE_START	Anfang des Bildes 1)
\$0100 00B4	\$02D	MEM_INIT	1)
\$0100 00B8	\$02E	TRANSFER_DELAY	1)
\$0100 0100	\$040	MASK_REGISTER	24 Bit Pixel Address Maskierungs-Register
\$0100 0180	\$060	CONTROL_REG_A	Control-Register A für die G364-Konfiguration
\$0100 01C0	\$070	CONTROL_REG_B	Control-Register B; wird nicht verwendet
\$0100 0200	\$080	TOP_OF_SCREEN_REG	Bildschirm-Startadresse
\$0100 0400	\$100	CLUT_BASE	Basis-Adresse der CLUT

1) wird nicht verwendet, muß auf 0 gesetzt werden.

2.3.5.1 Register *Boot Location* (\$0100 0000)

Dieses 24-Bit breite Register muß zuerst nach dem Systemstart beschrieben werden, bevor irgendwelche anderen Aktivitäten mit dem G364 erfolgen! Dieses Register ist NICHT auslesbar! Die Bits 0..4 der *Boot Location* bestimmen den Multiplikations-Faktor der internen PLL zur Takterzeugung aus den 5 MHz. Mit Bit 5 auf 0 wird eine externe Clock (vom ICS 1394) verwendet, bei Bit 5 auf 1 wird die interne PLL gewählt. Bit 6 legt fest ob der G364 mit 32 oder 64 Bit breite auf den Bildspeicher zugreift, dieses Bit muß immer zu 0 (32 Bit Breite) gesetzt werden, da dies durch den Aufbau des CGD vorgegeben ist. Die Bits 7..23 sind reserviert und immer auf 0 zu setzen.

Beispiel: Von der internen PLL soll eine Pixel-Clock von 35 MHz erzeugt werden. Der Zugriff auf das VRAM erfolgt mit 32 Bit Breite. Der folgende Ausriß aus einem C-Programm zeigt die Programmierung. Der G364 ist vorher zurückzusetzen.

```
#define G364_START          (int *) 0x01000000
#define G364_RESET_ADDRESS 0x00000300
#define BOOT_LOCATION      (int *) G364_START
#define CLOCK_SELECT       (int *) 0x00000510

{
    *G364_RESET_ADDRESS = 0x00000001; /* reset G364 */
    *G364_RESET_ADDRESS = 0x00000001;
    *G364_RESET_ADDRESS = 0x00000003;
    *G364_RESET_ADDRESS = 0x00000003;

    *BOOT_LOCATION = 0x27; /* 35 MHz Pixel-Clock; PLL; 32 Bit addressing */
    *CLOCK_SELECT = 1; /* interne PLL-Clock, keine ICS 1394-Clock */
}
```

Anmerkung: Wenn das *Boot-Location-Register* einmal beschrieben wurde, sind Änderungen nur nach einem G364-Reset möglich.

2.3.5.2 Das *Control-Register A* (\$0100 0180)

Das *Control-Register A* ist ein Schreib/Lese-Register und wird unter der Adresse \$0100 0180 angesprochen. Die verschiedenen Bits dieses Registers zur Steuerung des G364 werden in diesem Kapitel erklärt.

Anmerkung: Auf diese Register darf nicht zugegriffen werden, bevor das Register *Boot-Location* programmiert wurde.

Bit	Funktion	Kommentar
0	enable VTG	1 = VTG enabled 0 = VTG disabled
1	screen format	1 = interlaced 0 = non-interlaced
2	interlace standard	1 = CCIR 0 = EIA
3	operating mode	1 = slave Mode 0 = master Mode
4	frame flyback pattern	1 = plain sync 0 = tessellated sync
5	digital sync format	1 = separate sync 0 = composite sync
6	analogue video format	1 = video only 0 = composite video+sync
7	blank level	1 = blanking pedestal 0 = no blanking pedestal
8	blank I/O	0 = CBlank is output 1 = CBlank is input
9	blank function switch	1 = undelayed ClkDisable at pad 0 = delayed CBlank at pad
10	Force Blanking	1 = screen blanked 0 = no action
11	Turn off Blanking	1 = blanking disabled 0 = blanking enabled
12-13	VRAM Address Increment	müssen logisch 0 sein 2)
14	Turn off DMA	1 = DMA disabled 2)
15-17	Sync Delay	müssen logisch 0 sein 2)
18	Pixel Port Interleaving	1 = interleaved (CGD/T) 0 = Non-Interleaved (CGD/P)
19	Delayed Sampling	1 = delay enabled 0 = delay disabled
20-22	Bits per Pixel (BPP)	siehe Tabellen 3.a&b (22,21,20: 011)
23	cursor disable	1 = cursor disabled 0 = cursor enabled
24-31	not wired	reserviert

- 1) Gegenüber der Inmos G364-Dokumentation sind beim G364 die Polaritäten vertauscht!
2) Wird vom Memory-Transfer-Controller

Tabelle 1: Belegung des Control-Registers A (\$0100 0180).
Die *kursiv* angegebenen Zahlen entsprechen dem "Normal-Betrieb" des CGD/P, auf den in folgenden Beispielen hingewiesen wird.

Reg.Bit 22 21 20	Bits/ Pixel	Use of Lookup-Table
0 0 0	1	Pseudo Colour
0 0 1	2	Pseudo Colour
0 1 0	4	Pseudo Colour
0 1 1	8	Pseudo Colour
1 0 0	15	Gamma Corrected True Colour
1 0 1	16	Gamma Corrected True Colour

Tabelle 3a: Bedeutung der Bit 20, 21 und 22 von Control-Register A beim CGD/P (Bit 18 = 0, Non-Interleaved Mode).

Reg.Bit 22 21 20	Bits/ Pixel	Use of Lookup-Table
0 0 0	1	Pseudo Colour
0 0 1	2	Pseudo Colour
0 1 0	4	Pseudo Colour
0 1 1	8	Pseudo Colour
1 0 0	15	Gamma Corrected True Colour
1 0 1	16	Gamma Corrected True Colour
1 1 0	24	Gamma Corrected True Colour

Tabelle 3b: Bedeutung der Bit 20, 21 und 22 des Control-Register A beim CGD/T (Bit 18 = 1, Interleaved Mode).

Bedeutungen der verschiedenen Bits des Control-Register A:

Bit 0 = 0 hält den Video-Timing Generator (VTG) an;
Bit 0 = 1 started den Video-Timing Generator (VTG);

Beispiel: Die folgende Programmzeile hält den VTG an:

```
#define G364_START      (int *) 0x01000000
#define BOOT_LOCATION  (int *) G364_START
#define Control_REG_A  (int *) 0x01000180
{
    :
    *CONTROL_REG_A &= 0x00FFFFFFE; /* VTG disabled */
    :
}
```

Wenn beim Zugriff auf den VTG Probleme auftreten, sollte dieser Zugriff mit dem *Vertical Blank Pulse* synchronisiert werden, da während VBLANK keine Transfer-Zyklen stattfinden.

Bit 1 = 0 G364 arbeitet im Non-Interlaced-Modus;
Bit 1 = 1 G364 arbeitet im Interlaced-Modus;

Auf dem CGD werden diese Betriebsarten vom eigenen Memory-Transfer-Controller kontrolliert (siehe Kapitel 2.3.3.2); Bit 1 des Kontroll-Registers A sollte immer mit dem entsprechenden Kontrollbit des Memory-Transfer-Controller übereinstimmen.

Bit 2 = 0 der gewählte interlaced-Standard ist EIA-343 (US-Standard);
Bit 2 = 1 der gewählte interlaced-Standard ist CCIR (Europa-Standard);

Bit 2 ist nur im Interlaced-Modus von Interesse. Der EIA-343 Standard ist durch NTSC und der CCIR-Standard durch PAL bekannt. Bei CCIR wird zuerst mit geraden Zeilen begonnen (even field), bei EIA-343 mit den ungeraden (odd field).

Bit 3 = 0 der G364 arbeitet im Master-Modus;
(Bit 3 = 1 der G364 arbeitet im Slave-Modus);

Auf dem CGD wird der G364 immer im Master-Modus betrieben, d.h. die Signale VSync und HSync werden aktiv getrieben.

Bit 5 = 0 es wird ein Composite-Sync-Signal erzeugt;
Bit 5 = 1 es wird ein separates HSync-Signal erzeugt;
Bit 4 = 0 bei Bit5 = 0 wird ein Tesselate-Composite-Sync-Signal erzeugt;
Bit 4 = 1 bei Bit5 = 0 wird ein Plain-Composite-Sync-Signal erzeugt;

Wenn das Bit 5 = 1 ist, wird automatisch ein Plain-Composite-Sync-Signal unabhängig von Bit 4 erzeugt. Der wesentliche Unterschied zwischen Tesselate- und Plain-Sync liegt darin, daß beim Tesselate-Sync während des VSync-Signales weiterhin HSync-Pulse generiert werden.

- Bit 6 = 0** das Composite-Sync-Signal wird auf das RGB-Signal aufmoduliert;
Bit 6 = 1 Sync-Signale werden als getrennte HSync und VSync ausgegeben;

Die meisten analogen Monitore werden über ein Composite-Sync auf dem Grün-Signal synchronisiert; die separate Führung von HSync und VSync ist dann nicht notwendig. Im Zweifel sehen Sie bitte im Handbuch Ihres Monitores nach. Falls benötigt stehen separate HSync- und VSync-Signale auf einem zusätzlichen Stecker auf der Frontseite des CGD zur Verfügung

Die G364 Signale HSync und VSync sind immer "active low" (negative Sync). Versichern Sie sich bitte im Handbuch Ihres Monitores, daß diese Polarität von Ihrem Gerät verstanden wird, bzw. der Monitor automatisch auf Negativ-Sync umschaltet.

- Bit 7 = 0** der Blank-Pegel ist identisch mit dem Schwarz-Wert;
Bit 7 = 1 der Blank-Pegel wird gegenüber dem Schwarz-Wert abgesenkt;

Der Pegel der Synchronsignale ist gegenüber den eigentlichen Videosignalen abgesenkt, damit ist es ohne gegenseitige Störung möglich beide Signale über eine gemeinsame Leitung zum Monitor zu führen. Eine zusätzliche Pegelabsenkung um 20 D/A-Wandlereinheiten stellt sicher, daß der Strahlrücklauf auf dem Monitor nicht sichtbar ist (Ultra-Schwarz-Pegel). Bit 7 ist daher im Normalfall zu 1 zu setzen.

- Bit 8 = 0** die Strahl-Abschalt-Funktion (Blank) wird als Eingang geschaltet;
Bit 8 = 1 die Strahl-Abschalt-Funktion (Blank) wird als Ausgang genutzt;

Mit dem Blank-Signal kann der Ausgangs-Pegel auf Schwarz gezogen werden. Zur Steuerung von außen wird der entsprechende Pin des G364 als Input-Pin geschaltet. Gegenüber dem G364-Handbuch sind beim G364 die Polaritäten vertauscht. Bei späteren Auslieferungen des G364 soll dieser Fehler seitens Inmos rückgängig gemacht werden.

- Bit 9 = 0** auf den Ausgangs-Pin wird das verzögerte CBlank-Signal gegeben;
Bit 9 = 1 auf den Ausgangs-Pin wird das unverzögerte ClkDisable-Signal gegeben;

Diese Funktion macht nur Sinn, wenn Bit 8 = 1 (als Ausgang) geschaltet ist und mehrere G364 auf mehreren CGD's synchron betrieben werden sollen. Die Revision 1.2 des CGD unterstützt diese Möglichkeit noch nicht.

- Bit 10 = 0** kein Einfluß auf das Bild;
Bit 10 = 1 der Schirm wird dunkelgetastet;

Mit dieser Funktion kann der Bildschirm temporär abgedunkelt werden. Im normalen Betrieb ist dieses Bit auf 0 zu setzen, da sonst der Schirm dunkel bleibt.

- Bit 11 = 0** der Schreibstrahl wird beim Zeilen-Rücksprung dunkelgetastet;
Bit 11 = 1 der Schreibstrahl ist beim Zeilen-Rücksprung sichtbar;

Im normalen Betrieb ist das Blanking erwünscht, d.h. der Schreibstrahl wird beim horizontalen und vertikalen Rücksprung abgeschaltet. Bit 11 sollte daher auf 0 gesetzt werden.

Bit 12 & 13 VRAM Address Increment

Der Zugriff auf den Bildspeicher wird beim CGD nicht vom G364 direkt durchgeführt, sondern vom eigenen Memory-Transfer-Controller (siehe Kapitel 2.3.3.2). Bit 12 und 13 sind daher stets zu 0 zu setzen.

(Bit 14 = 0 ermöglicht DMA-Zugriffe auf das Video-RAM);
Bit 14 = 1 unterbindet DMA-Zugriffe auf das Video-RAM;

Der Zugriff auf den Bildspeicher wird beim CGD nicht vom G364 direkt durchgeführt, sondern vom eigenen Memory-Transfer-Controller (siehe Kapitel 2.3.3.2). Bit 14 ist daher stets zu 1 zu setzen.

Bit 15 - 17 ermöglichen eine Verzögerung der SYNC- und Blank-Signale in Einheiten der VTG-Clock.

Diese Funktion des G364 ist nützlich, wenn der Zugriff auf das VRAM länger dauert. Da auf dem CGD für VRAM-Zugriffe ein eigener Memory-Transfer-Controller zuständig ist, ist gewährleistet daß Daten für den G364 rechtzeitig bereitgestellt werden. Die Bit 15 - 17 sind daher auf 0 zu setzen.

Bit 18 = 0 unterbindet interleaved-Zugriffe auf das Video-RAM;
Bit 18 = 1 ermöglicht interleaved-Zugriffe auf das Video-RAM;

Bei sehr hohen Pixel-Raten kann es passieren, daß der Zugriff auf die Daten einer Video-Speicher-Bank nicht schnell genug ist. Der G364 erlaubt einen interleaved Modus, um auf 2 Video-Bänke alternierend zuzugreifen, die dann jeweils nur mit halber Frequenz ausgelesen werden müssen. Beim CGD/P mit 2 MByte VRAM muß Bit 18 zu 0 gesetzt werden (Non-Interleaved VRAM Access), beim CGD/T mit 4 MByte VRAM ist Bit 18 zu 1 zusetzen (Interleaved VRAM Access).

Bit 19 = 0 keine Verzögerung beim Pixel-Sampling;
Bit 19 = 1 ermöglicht Verzögerung beim Pixel-Sampling;

Im 15 und 16 Bit/Pixel-Modus (non-interleaved) und im 24 Bit/Pixel-Modus (interleaved) ist verzögerungsfreier Zugriff notwendig (Bit 19 = 0), in allen anderen Modi ist die Verzögerung notwendig (Bit 19 = 1).

Bit 20 - 22 stellen die Farbauflösung (Bit pro Pixel) ein.

Die Werte sind der Tabelle 3a. zu entnehmen. Zu beachten ist, daß Bit 19 für 15 und 16 Bit/Pixel auf 0 und sonst auf 1 zu setzen ist. Die Nutzung des Bildspeichers für die verschiedenen Farbaufösungen ist dem Kapitel 2.3.2 zu entnehmen.

Bit 23 = 0 ermöglicht die Funktion eines Hardware-Cursors;
 Bit 23 = 1 unterbindet die Funktion eines Hardware-Cursors;

Das CGD stellt keine Cursor-Funktion zur Verfügung. Bit 23 ist daher auf 1 zu setzen.

Das folgende Beispiel zeigt abschließend die Belegung des Control-Register A für den Normal-Betrieb. Die Belegung des Registers entspricht den in Tabelle 1 eingetragenen kursiven Ziffern.

```

#define G364_START      (int *) 0x01000000
#define G364_RESET_ADDRESS 0x00000300
#define BOOT_LOCATION  (int *) G364_START
#define CONTROL_REG_A  (int *) 0x01000180
#define CLOCK_SELECT   (int *) 0x00000510

{
:
*G364_RESET_ADDRESS = 0x00000001; /* reset G364 */
*G364_RESET_ADDRESS = 0x00000001;
*G364_RESET_ADDRESS = 0x00000003;
*G364_RESET_ADDRESS = 0x00000003;

*BOOT_LOCATION = 0x27; /* 35 MHz Pixel-clock; PLL; 32 Bit addressing */
*CONTROL_REG_A = 0x00B842F0; /* VTG disabled & set Control-Register */

/* Programmierung des Video-Timings */

*CONTROL_REG_A | 0x00000001; /* VTG enabled */
:
}

```

2.3.5.3 Das Control-Register B (\$0100 01C0)

Das Control-Register B ist ein Schreib/Lese-Register und wird unter der Adresse \$0100 01C0 angesprochen. Die verschiedenen Bits dieses Registers sind reserviert und müssen zu Null gesetzt werden.

Bit	Funktion	Kommentar
0-23	reserviert	müssen zu 0 gesetzt werden
24-31	ungültig	nicht beachten beim Auslesen

Tabelle 4: Control-Register B: Bit-Zuweisung.

2.3.5.4 Das Mask-Register (\$0100 0100)

Das 24 Bit breite Mask-Register dient zum Ausmaskieren von Pixeln. Jeweils 8 Bit werden für R, G und B benutzt. Ankommende Pixel werden mit dem Inhalt des Registers UN-
 verknüpft. Wenn vergessen wird, das Mask-Register nach einem G364-Reset zu beschreiben -
 nach jedem Reset steht 0 in dem Mask-Register -, dann bleibt der Schirm meistens dunkel.

2.3.5.5 Die Colour Palette Register (\$0100 0400 .. \$0100 07FC)

Die Funktion der Colour Palette (CLUT) ist im Kapitel 2.3.2.1 bereits beschrieben. Der G364 hat 256 interne 24 Bit Register, die über 256 Pseudo-Farben angesprochen werden können. Nach einem Reset des G364 ist die CLUT mit 0'en belegt; werden danach keine von 0 verschiedenen Werte in die CLUT geschrieben, bleibt der Schirm dunkel. Die Zuordnung der Farben Rot, Grün und Blau ist der folgenden Beispiel-Tabelle zu entnehmen:

CLUT Pos.	Adr.	Speicherinhalt			Speicherinhalt als 32Bit-Wort	sichtbare Farbe
		rot	grün	blau		
\$00	\$000	00h	00h	00h	\$00000000	Schwarz
\$01	\$004	44h	44h	44h	\$00444444	schwaches Grau
\$02	\$008	FFh	FFh	FFh	\$00FFFFFF	Weiß
\$03	\$00C	FFh	00h	00h	\$00FF0000	starkes Rot
\$04	\$010	00h	EEh	00h	\$0000EE00	Grün
\$05	\$014	00h	00h	88h	\$00000088	gedämpftes Blau
\$FF	\$3FC	EEh	00h	FFh	\$00EE00FF	violett

Beispiel-Tabelle: Zuordnung der Farben RGB zu den Pseudo-Farben.

Wenn die CLUT beim Betrieb (VTG läuft) verändert werden soll, kommt es zu Bildstörungen. Um diese zu vermeiden, empfiehlt es sich, CLUT-Änderungen mit einem VSync zu synchronisieren, da innerhalb der Austast-Lücke die Farbtabelle mit Sicherheit nicht ausgelesen wird.

Das folgende Beispiel zeigt die Belegung der CLUT mit verschiedenen, aufsteigenden Grauwerten. Von Schwarz für Pseudo-Farbe 0 bis zu Weiß für Pseudo-Farbe 255 werden alle Grauwerte einmal durchlaufen. Zusätzlich wird die Pseudo-Farbe 10 mit Gelb belegt.

```
#define G364_START          0x01000000
#define Colour_Palette_Size 0x00000100
#define Boot_Location      (int *) G364_START
#define Colour_Palette_Start (int *) 0x01000400

{
int i;
:
for (i=0; i<Colour_Palette_Size; i++)
    *(Colour_Palette_Start+i) = i + (i<<8) + (i<<16);

/* Farbe 10 auf sattes Gelb setzen (Rot=F4, Grün=E4 und Blau=12) */
*(Colour_Palette_Start+10) = 0x0000F4 + 0x00E400 + 0x120000;
:
}
```

2.3.5.6 Das Top of Screen-Register (\$0100 0200)

Mit dem Inhalt dieses Registers kann die Adresse des ersten auszulesenden Pixels des VRAMs festgelegt werden. Da VRAM-Zugriffe durch den eigenständigen VRAM-Controller geregelt werden, wird diese Information für den G364 nicht gebraucht. Das Top of Screen ist daher auf 0 zu setzen.

2.3.5.7 Die Datapath-Register (\$01000084 .. \$01000B8)

Während der Initialisierung - der VTG läuft noch nicht - müssen die Datapath-Register beschrieben werden, damit der G364 das Video-Timing generieren kann. Die im folgenden angegebenen Werte beziehen sich auf eine Serielle Clock Periode (SCLk) oder in Half-Lines. Bitte beachten Sie:

$$1 \text{ SCLk} = \frac{1}{2} \text{ Pixel-Clock} = \frac{1}{2} \text{ Dot-Clock}$$

Beispiel: Ein Monitor benötigt eine Pixel-Clock von 80 MHz (12,5 ns). Alle nachfolgenden Werte verstehen sich dann als Vielfaches von 50 ns.

Register	Adr.	Zugriffsadr.	Einheit
HALF_SYNC	\$021	\$01000084	Screen units 1)
BACK_PORCH	\$022	\$01000088	Screen units 1)
DISPLAY	\$023	\$0100008C	Screen units 1)
SHORT_DISPLAY	\$024	\$01000090	Screen units 1)
BROAD_PULSE	\$025	\$01000094	Screen units 1)
V_SYNC	\$026	\$01000098	Half lines 2)
V_PRE_EQUALISE	\$027	\$0100009C	Half lines 2)
V_POST_EQUALISE	\$028	\$010000A0	Half lines 2)
V_BLANK	\$029	\$010000A4	Half lines 2)
V_DISPLAY	\$02A	\$010000A8	Half lines 2)
LINE_TIME	\$02B	\$010000AC	Screen units 1)
LINE_START	\$02C	\$010000B0	Screen units 1)
MEM_INIT	\$02D	\$010000B4	Screen units 1)
TRANSFER_DELAY	\$02E	\$010000B8	Screen units 1)

- 1) 1 Screen unit = 4 horizontale Pixel = 1 serielle Clock periode (SCLk)
 2) 1 Half lines = 2 * Anzahl Zeilen

Tabelle 5: Die Datapath-Register

Die Bilder 2.6 a und 2.6 b erklären das Vertikale und Horizontale Timing, aus denen sich das Video-Bild zusammensetzt.

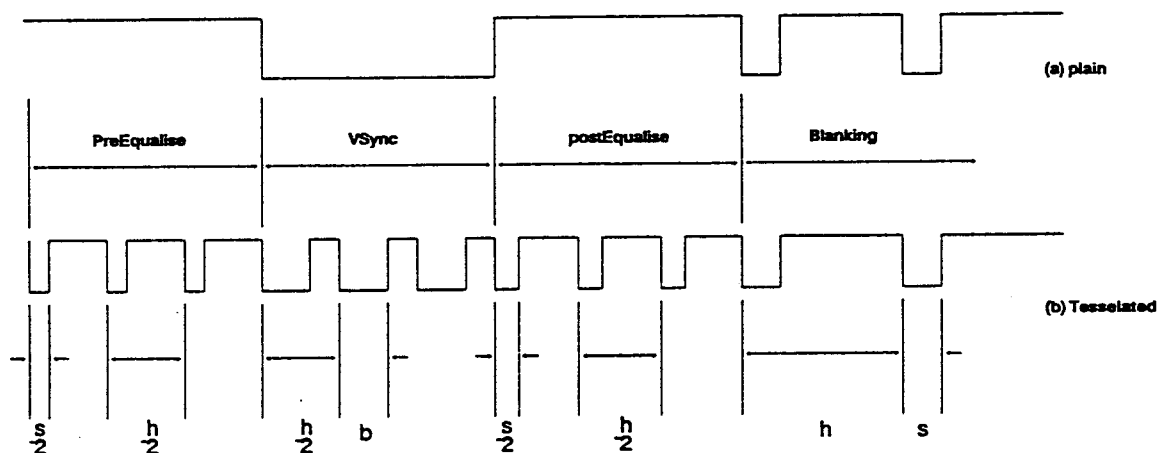


Bild 2.6a: Vertikale Synchronisation

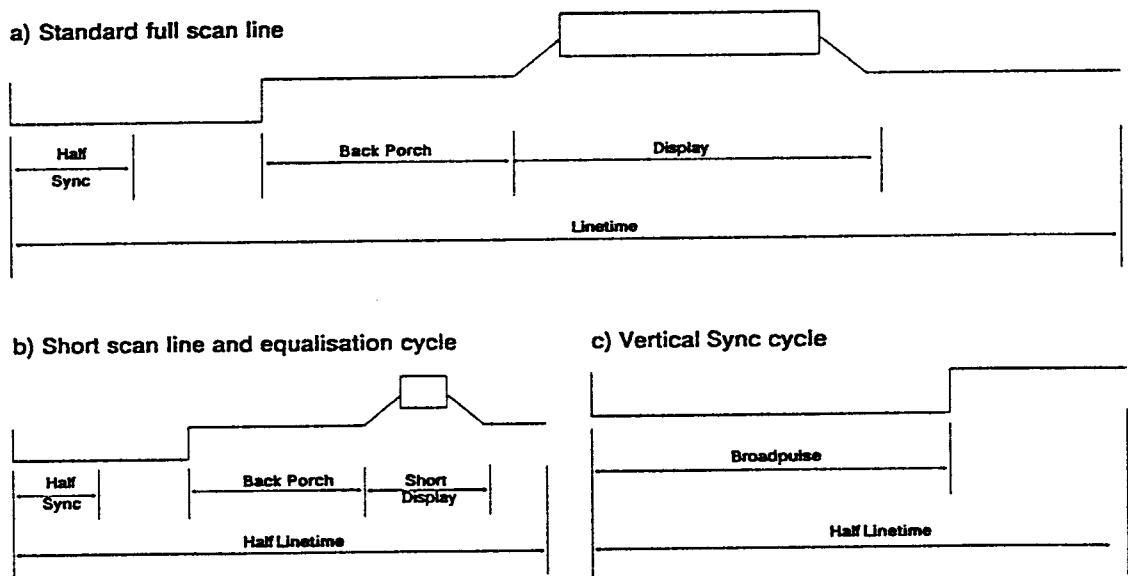


Bild 2.6b: Horizontale Synchronisation

Das Timing einer Standard Bildzeile (Standard full scan line) wird von den Registern **HalfSync**, **BackPorch**, **Display** und **Linetime** bestimmt. Dabei muß **Linetime** eine gerade Zahl sein. Ein Register mit der Bezeichnung **FrontPorch** existiert nicht, da sich diese Zeit aus den anderen Parametern ergibt ($\text{FrontPorch} = \text{Linetime} - \text{Display} - \text{BackPorch} - 2 * \text{HalfSync}$).

Einschränkung: $2 * \text{HalfSync} + \text{BackPorch} < \frac{1}{2} \text{Linetime}$;
 $2 * \text{HalfSync} + \text{BackPorch} + \text{Display} > \frac{1}{2} \text{Linetime}$.

Die Short scan line wird nur im *interlaced*-Modus am Anfang des ersten und am Ende des zweiten Halbbildes erzeugt. Der Inhalt des Registers **ShortDisplay** ergibt sich zwar direkt aus anderen Werten, muß jedoch noch einmal getrennt in das entsprechende Register einprogrammiert werden.

Bitte beachten: Das Register muß auch dann programmiert werden, wenn der G364 im *non-interlaced*-Modus arbeitet.

->
$$\text{ShortDisplay} = \frac{1}{2} \text{Linetime} - 2 * \text{HalfSync} - \text{FrontPorch} - \text{BackPorch}$$

$$\text{ShortDisplay} = \text{Display} - \frac{1}{2} \text{Linetime}$$

Der Vertical Sync Cycle ist das eigentliche VSync. Zur Erzeugung dieser Zeile wird noch die Länge des **BroadPulses** benötigt. Der Wert für das Register wird nach der folgenden Formel berechnet:

$$\text{BroadPulse} = \frac{1}{2} \text{Linetime} - \text{FrontPorch}$$

$$\text{BroadPulse} = \text{Display} + 2 * \text{HalfSync} + \text{BackPorch} - \frac{1}{2} \text{Linetime}$$

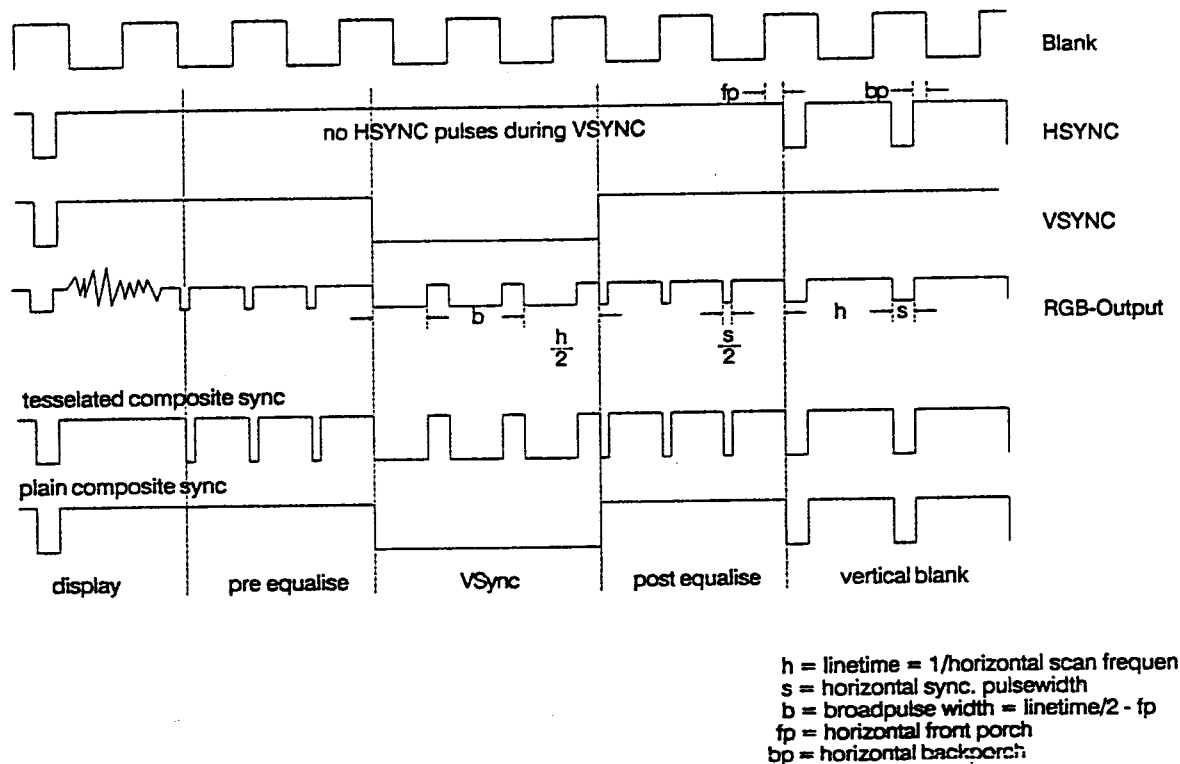


Bild 2.7: Vertikale Synchronisation, Monitor- und Fernsehnorm

Das Bild 2.7 zeigt, wie die verschiedenen Zeilen zusammengefügt werden. Die Anzahl der *standard full scan lines*, d.h. die Zeilenzahl bzw. die vertikale Pixelauflösung, wird in das Register *VDisplay* als ein Vielfaches von Halbzeilen eingetragen. Für ein non-interlaced-Bild mit 625 sichtbaren Zeilen würde im *VDisplay*-Register 1250 eingetragen werden, für ein interlaced-Bild mit 625 sichtbaren Zeilen 625. **Interlaced-Bilder dürfen nur ungerade Zeilenzahlen aufweisen!**

Zum Einleiten des *VSync* beginnt nach der letzten Bildzeile der *pre equalise cycle*, auch *vertical backporch* genannt, der dieselbe Länge wie das eigentliche *VSync* hat. An das *VSync* wird ein gleichlanger *post equalise cycle* angehängt. Danach erfolgt das eigentliche *VBlank*.

Der Begriff *VBlank* wird beim G364 anders verwendet, als z.B. von verschiedenen Monitor-Herstellern. Die folgende Tabelle gibt einen Aufschluß, wie die Parameter vom Monitor in die G364-Signale übertragen werden können.

Monitor-Bezeichnung	Bezeichnung beim G364
Vertical Blank	= 3 * VSync + VBlank
Vertical Backporch	= PreEqualise == VSync
Vertical Frontporch	= PostEqualise + VBlank == VSync + VBlank

Die Register *TransferDelay* und *MemInit* legen die Zeit fest, die der G364 für einen Transfer-Zyklus benötigt. Da der DMA-Betrieb beim CGD immer disabled ist (siehe Control-Register A), wird diese Information für den G364 nicht gebraucht. *TransferDelay* und *MemInit* sind daher auf 0 zu setzen.

2.3.6

CGD Memory Layout

Transputer Sektion

\$0000 0080	Status Register Bit0 - Tx error Bit1 - address error Bit2 - bus interface error Bit3 - application error Bit4 - hardware error
\$0000 00C0	Reset register (special sequence generates link reset out)
\$0000 0180	General purpose register
\$0000 01C0	Event register: Bit0 - memory violation or other errors Bit1 - real time sync contr DCI0 BIT2 - real time sync contr DCI2 BIT3 - HSYNC from G364 BIT4 - VSYNC from G364 BIT5 - FrameInactiev from G364 BIT12 - Event on Data Valid
\$0000 0200	analyse on error mask (flag)
\$0000 0300	Application Reset register Access to bit0 resets the bus controller. Access to bit1 resets the visco controller.

VRAM-Controller Sektion

\$0000 0400	Start of image, Row address register (10 bit)
\$0000 0440	Start of image, Column address register (9 bit)
\$0000 04C0	Init transfer controller. Any access to this location initialises the Memory Transfer Controller
\$0000 0500	Interlaced Control Bit Bit0 = 1: Interlaced Mode Bit0 = 0: Non-Interlaced Mode
\$0000 0504	Addressing Mode Bit Bit0 = 1: Linear Addressing Mode Bit0 = 0: Row Oriented Addressing Mode
\$0000 0508	Frame Mode Control Bit Bit0 = 1: Frame Mode Bit0 = 0: Normal mode
\$0000 050C	Colour Mode Control Bit Bit0 = 1: Pseudo Color CGD/P with (2MB VRAM) Bit0 = 0: True Color (CGD/T with 4MB VRAM)

\$0000 0510 **Clock Select**
 Bit0 = 0: ICS1394 pixel clock.
 Bit0 = 1: 5MHz clock
 (see also G364 Boot Location Register)

\$0000 0514 **Overlay Control Bit (currently not used)**
 Bit0 = 0: no overlay
 Bit1 = 1: overlay enabled

TIP-Bus Sektion

\$0000 1000 **GO Register (starts bus controller)**

\$0002 0000 - \$0003 FFFF **Channel number Ram.**

\$0004 0000 - \$0004 1FFF **Parameter Ram**

\$0006 0000 - \$0007 FFFF **Vram Address Ram**

Video-Controller Sektion

\$0000 0480 **Video Clock Generator ICS1394.**

\$0100 0000 - \$0100 01C0 **G364 Address Space**

\$0100 0400 - \$0100 07FC **Colour Palette**

RAM Sektionen

\$8000 0000 - \$803F FFFF **4MB DRAM**

\$9000 0000 - \$901F FFFF **2MB Triple Port VRAM**

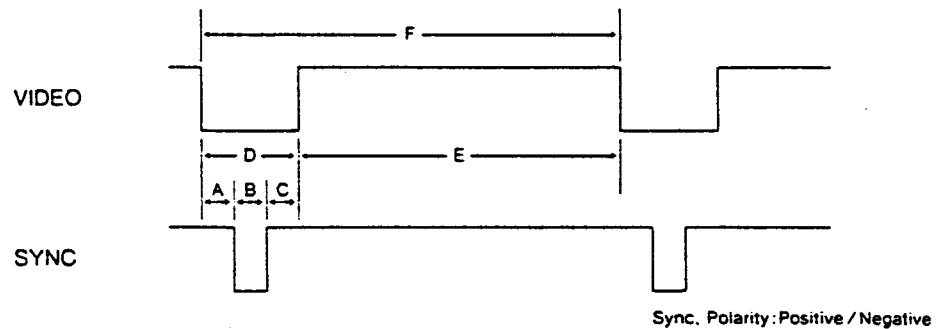
2.4

Die TIP-Bus Sektion

Die Beschreibung der TIP-Bus Hardware wird in nächster Revision dieser Dokumentation ergänzt. Für eine Übersicht über die Funktionsweise des TIP-Busses kann die TIP-Set Software Dokumentation herangezogen werden.

3. Anschluß von Standard-Monitoren

Für den Betrieb eines EIZO 9070H-S am TIP-CGD soll die Berechnung der G364 Timing-Parameter beispielhaft dargestellt werden. Dazu sind folgenden Daten der Bedienungsanleitung des EIZO 9070H-S entnommen worden:



VOREINGESTELLTES TIMING

			A	B	C	D	E	F
ENHANCED GRAPHICS fH:21.85kHz	H	μs	-0.1	4.9	1.6	6.4	39.4	45.8
	V	ms	0.05	0.6	0.1	0.7	16.0	16.75
PERSONAL SYSTEM2 fH:31.5kHz,350Lines	H	μs	0.6	3.8	1.9	6.3	25.48	31.78
	V	ms	1.2	0.06	1.9	3.16	11.11	14.27
PERSONAL SYSTEM2 fH:31,5kHz,400Lines (ANALOG)	H	μs	0.6	3.9	1.9	6.3	25.48	31.78
	V	ms	0.4	0.06	1.1	1.56	12.71	14.27
PERSONAL SYSTEM2 fH:31.5kHz,480Lines (ANALOG)	H	μs	0.6	3.9	1.9	6.3	25.48	31.78
	V	ms	0.35	0.06	1.0	1.41	15.26	16.67
CAD.CAM USE fH:49.8kHz,768Lines (ANALOG)	H	μs	0.68	1.77	3.04	5.49	14.62	20.11
	V	ms	0.48	0.12	0.60	1.2	15.44	16.64

Bild 3.1 Timing Werte des EIZO 9070

Der Monitor soll in seiner höchsten Auflösung, also 1024 * 768 Pixel, betrieben werden. Relevant ist also die unterste Reihe der Tabelle.

Zeilendauer (D): $t_z = 20.11 \mu s$
 Displaylänge (E): $t_d = 14,62 \mu s$
 Pixel clock: $f_c = 1024 / 14,62 \mu s = 70,04 \text{ MHz}$
 Horizontale Auflösung = 1024 Pixel

Die "pixel clock" wird auf 70 MHz festgelegt. Daraus folgt:

Boot Location = 14

Die horizontale Auflösung beträgt 1024 Pixel.

$$\text{Display} = 1/4 * 1024 = 256$$

$$\text{Linetime} = 1/4 * t_z * f_c = 1/4 * 20.11 \text{ us} * 70 \text{ MHz} = 351,9$$
$$\text{Linetime} = 352$$

$$\text{HSync (B): } t_h = 1,77 \text{ us}$$
$$\text{BackPorch (C): } t_{bp} = 3,04 \text{ us}$$

$$\text{HalfSync} = 1/2 * t_h * 1/4 * f_c = 1/8 * 1,77 \text{ us} * 70 \text{ MHz} = 15,5$$
$$\text{HalfSync} = 15$$

$$\text{BackPorch} = t_{bp} * 1/4 * f_h = 1/4 * 3,04 \text{ us} * 70 \text{ MHz} = 53,2$$
$$\text{BackPorch} = 53$$

Die vertikale Auflösung beträgt 768 Zeilen.

$$\text{VDisplay} = 768 * 2 = 1536$$

$$\text{VSync (B): } t_v = 0,12 \text{ ms}$$
$$\text{VBackPorch (C): } t_{vbp} = 0,6 \text{ ms}$$
$$\text{VFrontPorch (A): } t_{vfp} = 0,48 \text{ ms}$$
$$\text{Vert. Blank (D): } t_{vp} = 1,2 \text{ ms}$$

Eine getrennte Einstellung der "Vertical Frontporch" und der "Vertical Backporch" ist nicht möglich. Der G364 bietet nur die Möglichkeit, die Länge des "Vertical Blank" zu beeinflussen. Es gilt:

$$\text{Vertical Blank} = \text{Pre Equalisation} + \text{VSync} + \text{Post Equalisation} + \text{VBlank}$$

$$\text{VSync} = \text{Pre Equalisation} = \text{VSync} = \text{Post Equalisation}$$

Für die bisher festgelegten Parameter beträgt die Zeilenlänge:

$$t_z = 4 * \text{Display} / f_z = 4 * 352 / 70 \text{ MHz} = 20,11 \text{ us}$$

$$\text{VSync} = t_v / t_z = 120 \text{ us} / 20,11 \text{ us} = 6 \text{ Zeilen}$$

$$\text{VSync} = 12$$

$$\text{Vertical Blank} = t_{vb} / t_z = 60 \text{ Zeilen}$$

$$\text{VBlank} = \text{Vertical Blank} - 3 * \text{VSync}$$

$$\text{VBlank} = 60 - (3 * 6) \text{ Zeilen} = 42 \text{ Zeilen}$$

$$\text{VBlank} = 84$$

Die übrigen Parameter ergeben sich aus den schon bestimmten Werten

$$\text{ShortDisplay} = \text{Display} - 1/2 \text{ Linetime} = 256 - 176 = 80$$

$$\text{BroadPulse} = \text{Display} - 1/2 \text{ Linetime} + 2 \text{ HalfSync} + \text{BackPorch}$$
$$\text{BroadPulse} = 80 + 30 + 53 = 163$$

Die Bildwiederholrate (screen refresh) kann wie folgt berechnet werden:

$$f_v = [1/2 * (VBlank + 3 * HalfSync + VDisplay) * \text{Zeilenlänge}]^{-1}$$

$$= [1/2 * 1656 * 20,11 \text{ us}]^{-1} = 60 \text{ Hz}$$

Überprüfung, ob alle Bedingungen eingehalten sind:

$$2 * \text{HalfSync} + \text{BackPorch} + \text{Display} > 1/2 * \text{Linetime} \quad 339 > 176$$

In der folgenden Tabelle sind alle ermittelten Werte noch einmal den geforderten Zeiten gegenübergestellt:

<u>eingestellte Parameter</u>	<u>Bezeichnung</u>	<u>eingestellte Zeiten</u>	<u>geforderte Zeiten</u>
Linetime = 352	Zeilendauer :	20,11 us	20,11 us
Display = 256	HSYNC :	1,71 us	1,77 us
HalfSync = 15	HFrontPorch :	0,74 us	0,68 us
BackPorch= 53	HBackPorch :	3,03 us	3,04 us
VDisplay = 1535	VSync :	0,12 ms	0,12 ms
VSync = 12	VFrontPorch :	0,12 ms	0,48 ms
VBlank = 84	Vert.Blank :	1,21 ms	1,20 ms

Der Vergleich der rechten beiden Spalten zeigt, daß die geforderten Zeiten und die eingestellten Zeiten weitgehend übereinstimmen. Große Abweichungen sind nur bei der VFrontPorch und der VBack Porch erkennbar. Kritischer im vertikalen Timing sind jedoch die Werte für Vert.Blank und VSync, die im obigen Beispiel genau eingehalten worden sind.

In der Praxis reagieren viele Monitore unkritisch auf Abweichungen im geforderten Timing. In dem beigefügten Timing für den EIZO 9070 weichen einige Parameter erheblich von den geforderten Werten ab. Dadurch konnte die Zeit verkürzt werden, die der Monitor benötigt, um sich auf die Zeilenfrequenz einzustellen.

4. Fehleranalyse:

Monitorschirm bleibt schwarz:

- Monitor synchronisiert nicht; falsche Zeilenfrequenz, Monitor braucht "positive sync"
- Mask Register im G364 ist nicht programmiert und blendet alle Pixel aus
- VTG ist nicht gestartet (Control Register Bit 0 = 0)
- HSync ist zu kurz
- Linetime zu kurz oder BackPorch zu lang, so daß sich eine negative Horizontal FrontPorch ergibt.
- ShortDisplay oder Broadpulse falsch berechnet
- VBlank oder VSync zu kurz

Monitor "pfeift":

- Monitor synchronisiert nicht; falsche Zeilenfrequenz

Linker Bildrand verschwimmt oder ist nicht erkennbar:

- Horizontal BackPorch ist zu kurz

Blasse oder falsche Farben:

- Horiz. BackPorch ist zu kurz; Monitor kann keinen richtigen Farbabgleich durchführen.

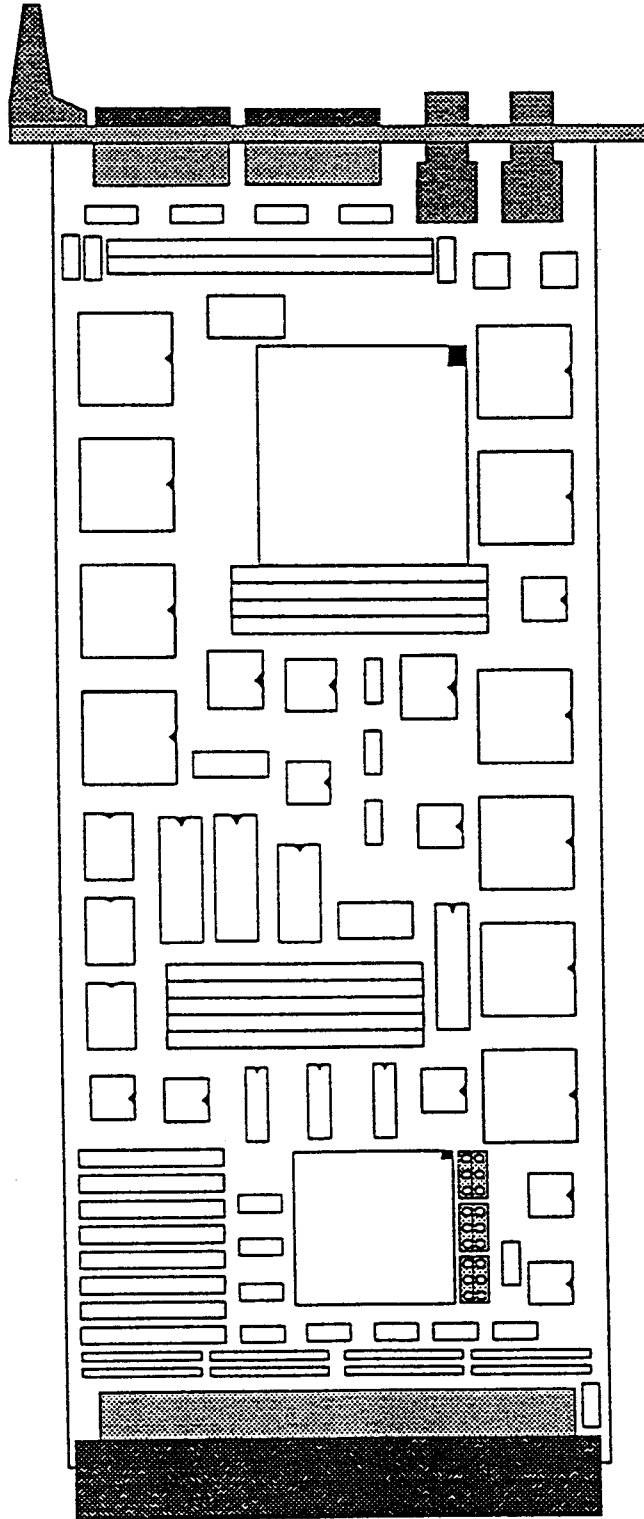
Einschwingverschiebungen am oberen Bildrand:

- VSync, VBlank oder HSync zu kurz

Farbenverschiebungen innerhalb des Bildes, Bildverzerrungen:

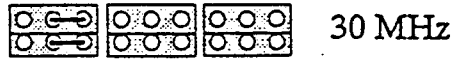
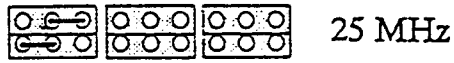
- Monitor muß neu abgeglichen oder ausgetauscht werden.

A.1 CGD - Modulübersicht

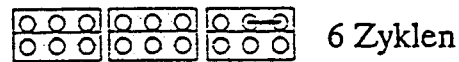
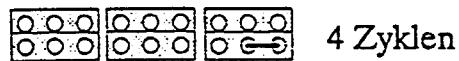


A.2 CGD - Jumperbelegung

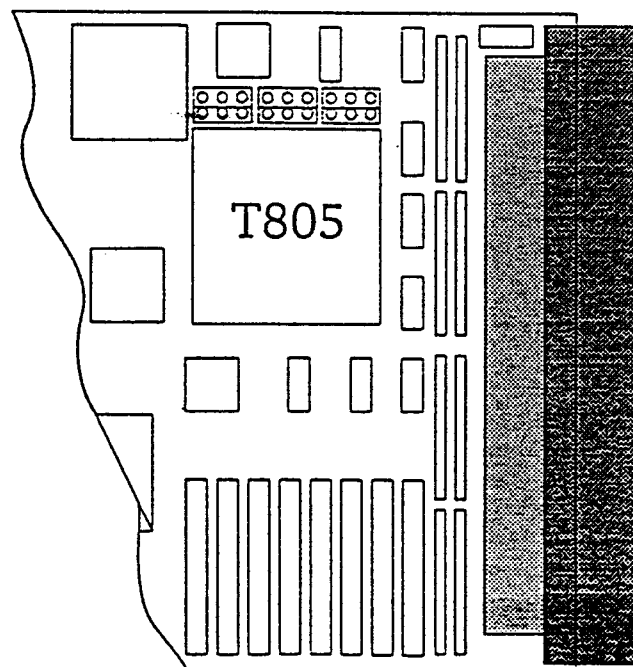
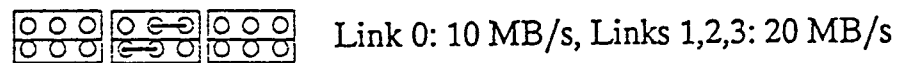
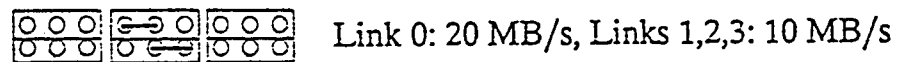
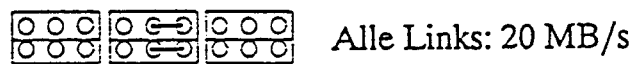
Prozessor-Takt



Zyklen für Speicherzugriff



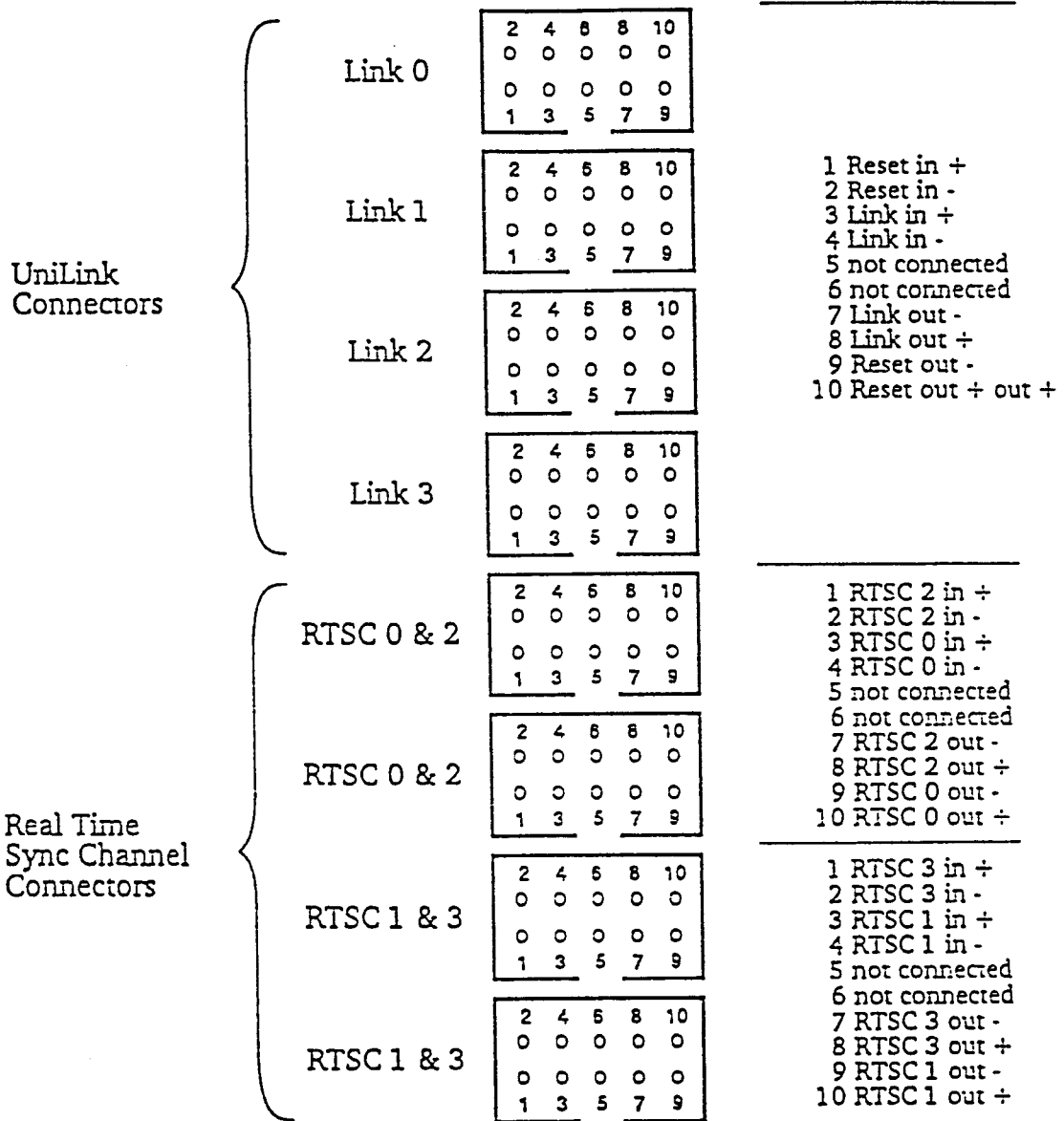
Link Geschwindigkeit



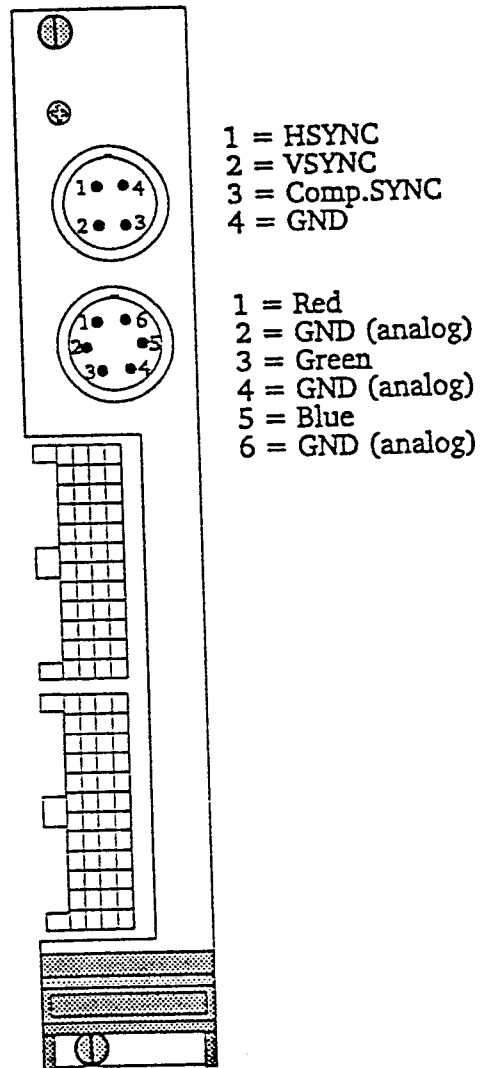
A.3.1 Belegung der 96-poligen DIN-Steckerleiste

	a	b	c
1	Reset 0 out +	Reset 1 out +	Reste 0 out -
2	Link 0 out +	Reset 1 out -	Link 0 out -
3	GND	Link 1 out +	GND
4	Link 0 in -	Link 1 out -	Link 0 in +
5	Reset 0 in -	Link 1 in -	Reset 0 in +
6	Link 1 in +	Reset 1 in -	Reset 1 in +
7	Reset 2 out +	Reset 3 out +	Reset 2 out -
8	Link 2 out +	Reset 3 out -	Link 2 out -
9	GND	Link 3 out +	GND
10	Link 2 in -	Link 3 out -	Link 2 in +
11	Reset 2 in -	Link 3 in -	Reset 2 in +
12	Link 3 in +	Reset 3 in -	Reset 3 in +
13	RTSC 2 out +	RTSC 2 out +	RTSC 2 out -
14	RTSC 0 out +	RTSC 2 out -	RTSC 0 out -
15	GND	RTSC 0 out +	GND
16	RTSC 0 in -	RTSC 0 out -	RTSC 0 in +
17	RTSC 2 in -	RTSC 0 in -	RTSC 2 in +
18	RTSC 0 in +	RTSC 2 in -	RTSC 2 in +
19	RTSC 3 out +	RTSC 3 out +	RTSC 3 out -
20	RTSC 1 out +	RTSC 3 out -	RTSC 1 out -
21	GND	RTSC 1 out +	GND
22	RTSC 1 in -	RTSC 1 out -	RTSC 1 out +
23	RTSC 3 in -	RTSC 1 in -	RTSC 3 in +
24	RTSC 1 in +	RTSC 3 in +	Master Reset
25	NC	RTSC 3 in -	NC
26	NC	LSP	NC
27	+5V	+5V	+5V
28	+5V	+5V	+5V
29	+5V	+5V	+5V
30	GND	GND	GND
31	GND	GND	GND
32	GND	GND	GND

A.3.2 Belegung der Backplane



A.3.3 Belegung des CGD-Video-Ports



Das Triple-Ported-Video-RAM des CGD/P besteht insgesamt aus 16 Speicherbausteine MT43C8128, organisiert als $128k \cdot 8\text{Bit}$. Jeder einzelne Chip des TP-VRAM verfügt über drei separate Ports: einem 8 Bit breiten normalen DRAM-Port und 2 unabhängig getaktete serielle Ports $256 \cdot 8\text{ Bit}$ (Serial-Access-Memory Ports, SAM's). Über die beiden SAM-Ports kann quasi gleichzeitig jeweils eine komplette Zeile ausgelesen werden. Intern ist jedem SAM ein Schieberegister zugeordnet, in das immer eine ganze Zeile parallel aus dem VRAM kopiert wird (*Transfer*). So kann eine maximale Zugriffszeit auf die SAM-Ports von 180 ns garantiert werden. Das DRAM im Chip ist intern $512 \cdot 256 \cdot 8$ organisiert; über 9 Zeilen- und 8 Spalten-Adressen kann das DRAM angesprochen werden. Da im Chip nur ein Adress-Bus für die 3 Ports vorgesehen ist, muß das Timing für den Zugriff von außen geregelt werden, beim CGD durch den Arbitrer&VRAM-Controller.

Um bei 16 Bausteinen mit den 32 Bit Daten vom TIP-Bus oder Transputer optimal in den Speicher zu schreiben, sind je vier Chips hintereinander gelegt, sodaß Byte 0 eines 32 Bit Wortes den ersten, Byte 1 den zweiten, Byte 2 den dritten und Byte 3 den vierten Chip erreicht - aus derselben angelegten Adresse. Das Bild A.4 zeigt die Organisation des TP-VRAM. Der Video-Controller G364 benötigt zum Auslesen auf einer Adresse 64 Daten-Bit. Deshalb sind zwei identische $512 \cdot 256 \cdot 32$ große aus je 4 Chips bestehenden Bänke hintereinandergeschaltet (Bank A0 und A1). Vom Transputer wird alternierend in Bank A0 und A1 geschrieben; z.B. liegen beim 8 Bit/Pixel-Mode die Pixel 0..3 in Bank A0, 4..7 in A1, 8..11 wieder in A0 usw. . Die Zugriffslogik organisiert die beiden Speicherbänke so, als ob es sich um eine einzige Speicherbank handelt, der Anwender sieht quasi nur eine $512 \cdot 512 \cdot 32$ große Bank A, die Platz für z.B. $2048 \cdot 512$ Pixel bietet.

Neben der Bank A gibt es eine zweite in gleicher Weise organisierte Bank B, um einen 2 MByte großen Bildspeicher zu realisieren. Der Vorteil dieser Organisation liegt in der Zugriffs-Geschwindigkeit: Während Daten über den einen seriellen Port ein- oder ausgetaktet werden, kann der Transfer einer Bildzeile für den anderen Port ausgeführt werden, sodaß ein kontinuierlicher Datenfluß über beide SAM's gewährleistet ist. Die Bank B schließt sich zeilenweise direkt an die Bank A an; d.h. die ersten 2048 Byte des VRAM befinden sich in der Bank A, die zweiten 2048 Byte in Bank B und so fort.